

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

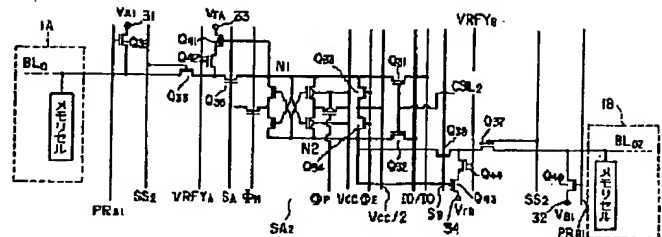
PUBLICATION NUMBER : 10177797  
PUBLICATION DATE : 30-06-98

APPLICATION DATE : 17-12-96  
APPLICATION NUMBER : 08336529

APPLICANT : TOSHIBA CORP;  
INVENTOR : TANAKA TOMOHARU;

INT.CL. : G11C 16/02 H01L 27/115 H01L  
21/8247 H01L 29/788 H01L 29/792

TITLE : SEMICONDUCTOR MEMORY



ABSTRACT : PROBLEM TO BE SOLVED: To obtain a device in which change of design is not required even if page size and block size are changed by comprising a memory cell in which the number of memory cell pages simultaneously selected is not changed and each memory cell page holding a word line being different respectively in common.

SOLUTION: A sense amplifier circuit SA<sub>2</sub> to which bit lines BL<sub>0</sub>, BL<sub>02</sub> is used also as a data latch circuit, and activated by sense amplifier activation signal φN, φP. A TR Q32 is connected between a node N<sub>1</sub> of the sense amplifier circuit SA<sub>2</sub> and a data line /IO. TR Q31, TR Q32 are controlled by a column selection signal CSL<sub>2</sub> supplied from a column decoder. TR Q33, TR Q34 are connected controlled by an equalizing signal φE between the node N<sub>1</sub> and N<sub>2</sub> of the sense amplifier circuit SA<sub>2</sub>. Power source VCC/2 is supplied to a mutual connection point of TR Q33, TR Q34.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-177797

(43) 公開日 平成10年(1998) 6月30日

(51) Int. Cl. <sup>6</sup>

識別記号

F I

G11C 16/02

G11C 17/00

611

G

H01L 27/115

H01L 27/10

434

21/8247

29/78

371

29/788

29/792

審査請求 未請求 請求項の数 8 O L (全19頁)

(21) 出願番号 特願平8-336529

(22) 出願日 平成8年(1996)12月17日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 竹内 健

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

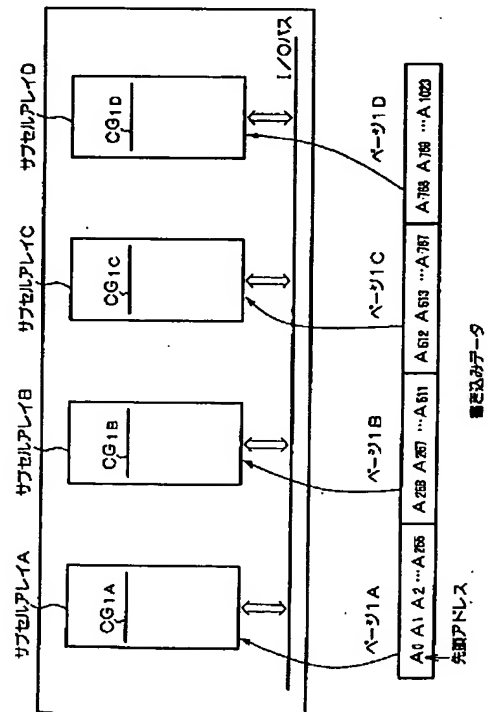
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 半導体記憶装置の書き込み、読み出し、及び消去を同時に行うページサイズ、ブロックサイズを、用途に応じて容易に最適化可能とする。

【解決手段】 複数の標準的なサブセルアレイを有する素子を用いて、ユーザが外部からコマンドを入力することにより、又は出荷の段階で僅かな工程を加えることにより、書き込み、読み出しのページサイズを自由に選択することができるようにし、システム設計において、書き込み、読み出し、消去の単位を用途に応じて最適化することにより、最高のシステム性能を達成することができる。このようにすれば、世代間の素子の互換性の点でも有利な結果が得られる。



## 【特許請求の範囲】

【請求項1】 電氣的書き替え可能なメモリセルがマトリックス状に配置されたメモリセルアレイと、メモリセルのゲート電極でありメモリセルの選択信号線となるワード線と、を有する半導体記憶装置において、読み出しあるいは書き込みに際して同時に選択されるメモリセルページの数が可変であり、かつ各メモリセルページはそれぞれ異なるワード線を共有するメモリセルを含むことを特徴とする半導体記憶装置。

【請求項2】 電氣的書き替え可能なメモリセルがマトリックス状に配置されたメモリセルアレイと、メモリセルのゲート電極でありメモリセルの選択信号線となるワード線と、読み出しあるいは書き込みに際して複数のモードを選択する手段と、を有する半導体記憶装置において、前記複数のモードは、 $N1$  個 ( $N1$  は自然数) のメモリセルページが読み出しあるいは書き込みに際して同時に選択される第1のモードと、 $N2$  個 ( $N2$  は  $N1$  と異なる自然数) のメモリセルページが読み出しあるいは書き込みに際して同時に選択される第2のモードと、 $Ni$  個 ( $Ni$  は自然数) のメモリセルページが読み出しあるいは書き込みに際して同時に選択される第  $i$  のモード ( $i$  は2以上の自然数) とからなり、かつ同時に選択される各メモリセルページはそれぞれ異なるワード線を共有するメモリセルを含むことを特徴とする半導体記憶装置。

【請求項3】 電氣的書き替え可能なメモリセルがマトリックス状に配置されたメモリセルアレイと、メモリセルのゲート電極でありメモリセルの選択信号線となるワード線と、読み出しあるいは書き込みに際して複数のモードを選択する手段と、を有する半導体記憶装置において、前記複数のモードは、 $N1$  個 ( $N1$  は自然数) のメモリセルページが読み出しあるいは書き込みに際して同時に選択される第1のモードと、 $N2$  個 ( $N2$  は  $N1$  と異なる自然数) のメモリセルページが読み出しあるいは書き込みに際して同時に選択される第2のモードと、 $Ni$  個 ( $Ni$  は自然数) のメモリセルページが読み出しあるいは書き込みに際して同時に選択される第  $i$  のモード ( $i$  は2以上の自然数) とからなり、前記複数のモードを選択するに当り、第  $k$  のモード ( $k$  は  $i$  以下の自然数) と第  $m$  のモード ( $m$  は  $k$  と異なる  $i$  以下の自然数) とで、それぞれ互いに構成単位の異なる第  $k$  のメモリセル群及び第  $m$  のメモリセル群が1チップ内で形成され、かつ同時に選択される各メモリセルページはそれぞれ異なるワード線を共有するメモリセルを含むことを特徴とする半導体記憶装置。

【請求項4】 電氣的書き替え可能なメモリセルがマト

リックス状に配置されたメモリセルアレイと、メモリセルのゲート電極でありメモリセルの選択信号線となるワード線と、メモリセルとデータの授受を行うビット線と、ビット線に接続し、メモリセルの書き込みデータあるいは読み出しデータを保持するデータ回路と、を有する半導体記憶装置において、それぞれメモリセルとワード線とビット線とデータ回路とを互いに異にする複数のサブセルアレイが形成されており、

読み出しあるいは書き込みに際して、同時に選択されるサブセルアレイの数が可変であることを特徴とする半導体記憶装置。

【請求項5】 電氣的書き替え可能なメモリセルがマトリックス状に配置されたメモリセルアレイと、メモリセルのゲート電極でありメモリセルの選択信号線となるワード線と、メモリセルとデータの授受を行うビット線と、ビット線に接続し、メモリセルの書き込みデータあるいは読み出しデータを保持するデータ回路と、複数の書き込みモードを選択する手段と、を有する半導体記憶装置において、それぞれメモリセルとワード線とビット線とデータ回路とを互いに異にする複数のサブセルアレイが形成されており、

第  $j \cdot k$  ( $j, k$  は1以上の自然数で  $j \geq k$ ) のサブセルアレイは、第  $j$  の書き込みモードで選択された第  $k$  のサブセルアレイ、

第  $j \cdot k$  のデータ回路は前記第  $k$  のサブセルアレイに属するデータ回路としたとき、

前記複数の書き込みモードは、第1・1のサブセルアレイ内の第1・1のデータ回路に書き込みデータを入力した後に、該データ回路のデータをもとに、第1・1のサブセルアレイ内のメモリセルに書き込みを行う第1の書き込みモードと、

第2・1のサブセルアレイ内の第2・1のデータ回路及び第2・2のサブセルアレイ内の第2・2のデータ回路に書き込みデータを入力した後に、該データ回路のデータをもとに、第2・1のサブセルアレイ内のメモリセル及び第2・2のサブセルアレイのメモリセルに書き込みを行う第2の書き込みモードと、

第  $m \cdot 1$  から第  $m \cdot m$  のサブセルアレイ内の第  $m \cdot 1$  から第  $m \cdot m$  のデータ回路に書き込みデータを入力した後に、該データ回路のデータをもとに、第  $m \cdot 1$  から第  $m \cdot m$  のサブセルアレイ内のメモリセルに書き込みを行う第  $m$  の書き込みモード ( $m$  は2以上の自然数) とからなることを特徴とする半導体記憶装置。

【請求項6】 電氣的書き替え可能なメモリセルがマトリックス状に配置されたメモリセルアレイと、メモリセルのゲート電極でありメモリセルの選択信号線

となるワード線と、  
メモリセルとデータの授受を行うビット線と、  
ビット線に接続し、メモリセルの書き込みデータあるいは読み出しデータを保持するデータ回路と、  
複数の読み出しモードを選択する手段と、を有する半導体記憶装置において、

それぞれメモリセルとワード線とビット線とデータ回路とを互いに異にする複数のサブセルアレイが形成されており、

第  $j \cdot k$  ( $j, k$  は 1 以上の自然数で  $j \geq k$ ) のサブセルアレイは、第  $j$  の読み出しモードで選択された第  $k$  のサブセルアレイ、

第  $j \cdot k$  のデータ回路は前記第  $k$  のサブセルアレイに属するデータ回路としたとき、

前記複数の読み出しモードは第 1・1 のサブセルアレイ内のメモリセルのデータを第 1・1 のデータ回路に読み出した後に、該データ回路のデータをチップ外部に出力する第 1 の読み出しモードと、

第 2・1 及び第 2・2 のサブセルアレイ内のメモリセルのデータを第 2・1 及び第 2・2 のデータ回路に読み出した後に、該データ回路のデータをチップ外部に出力する第 2 の読み出しモードと、

第  $m \cdot 1$  から第  $m \cdot m$  のサブセルアレイ内のメモリセルのデータを第  $m \cdot 1$  から第  $m \cdot m$  のデータ回路に読み出した後に、該データ回路のデータをチップ外部に出力する第  $m$  の読み出しモード ( $m$  は 2 以上の自然数) とからなることを特徴とする半導体記憶装置。

【請求項 7】 電気的書き替え可能なメモリセルがマトリックス状に配置されたメモリセルアレイと、

メモリセルのゲート電極でありメモリセルの選択信号線となるワード線と、

メモリセルとデータの授受を行うビット線と、  
ビット線に接続し、メモリセルの書き込みデータあるいは読み出しデータを保持するデータ回路と、を有する半導体記憶装置において、

それぞれメモリセルとワード線とビット線とデータ回路とを互いに異にする複数のサブセルアレイが形成されており、

第  $j \cdot k$  ( $j, k$  は 1 以上の自然数で  $j \geq k$ ) のサブセルアレイは、第  $j$  の書き込みモードで選択された第  $k$  のサブセルアレイ、

第  $j \cdot k$  のデータ回路は前記第  $k$  のサブセルアレイに属するデータ回路としたとき、

第 1 の書き込みデータは第 1・1 のサブセルアレイ内の第 1・1 のデータ回路に書き込みデータを入力した後に、該データ回路のデータをもとに、第 1・1 のサブセルアレイ内のメモリセルに書き込みが行われ、

第 2 の書き込みデータは第 2・1 のサブセルアレイ内の第 2・1 のデータ回路及び第 2・2 のサブセルアレイ内の第 2・2 のデータ回路に書き込みデータを入力した後

に、該データ回路のデータをもとに、第 2・1 のサブセルアレイ内のメモリセル及び第 2・2 のサブセルアレイのメモリセルに書き込みが行われ、

第  $n$  の書き込みデータ ( $n$  は 2 以上の自然数) は第  $n \cdot 1$  から第  $n \cdot n$  のサブセルアレイ内の第  $n \cdot 1$  から第  $n \cdot n$  のデータ回路に書き込みデータを入力した後に、該データ回路のデータをもとに、第  $n \cdot 1$  から第  $n \cdot n$  のサブセルアレイ内のメモリセルに書き込みが行われ、互いに構成単位の異なる第  $k$  の書き込みデータ ( $k$  は  $i$  以下の自然数) 及び第  $m$  の書き込みデータ ( $m$  は  $k$  と異なる  $i$  以下の自然数) が 1 チップ内に記憶されることを特徴とする半導体記憶装置。

【請求項 8】 前記複数のモードは、チップ外部から入力するコマンドにより選択されるものであることを特徴とする請求項 2、5 及び 6 のいずれか 1 つに記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体記憶装置に関するものであり、特に電気的書き換え可能な半導体記憶装置に関する。

【0002】

【従来の技術】 従来電気的書き換え可能な半導体記憶装置 (EEPROM) の 1 つとして、NANDセル型 EEPROM (Electrically Erasable and Programmable Read Only Memory) が提案されている。

【0003】 この EEPROM は、例えば電荷蓄積層としての浮遊ゲートと制御ゲートとが積層された  $n$  チャネル MOSFET 構造を有する複数のメモリセルが、隣接するもの同士で互いにソース、ドレインを共有するように直列接続され、これを 1 単位としてビット線に接続してなるものである。メモリセルアレイの 1 つの NAND セル部分の平面図と等価回路を図 19 (a)、(b) に示す。

【0004】 図 20 (a)、(b) はそれぞれ図 19

(a) の A-A 及び B-B 断面図である。素子分離酸化膜 6 で囲まれた  $p$  型シリコン基板 (又は  $p$  型ウエル) 5 に、複数の NAND セルからなるメモリセルアレイが形成されている。図 19 に示す場合には、8 個のメモリセル  $M_1 \sim M_8$  が直列接続されて、1 つの NAND セルを構成している。

【0005】 図 20 (b) に示すように、各メモリセルにはゲート絶縁膜 7 を介して浮遊ゲート 14 が基板 5 の上に形成される。図 19 (a)、図 20 (a) に示すように、前記浮遊ゲート 14 は複数の浮遊ゲート  $14_1$ 、 $14_2$ 、 $\dots$ 、 $14_8$  として構成される。これらのメモリセルのソース、ドレインである  $n^+$  型拡散層 8 は、隣接するもの同士共有する形で、前記メモリセルが直列に接続される。

【0006】 図 19 (a)、図 20 (a) に示すよう

に、NANDセルのドレイン側、ソース側には、各々メモリセルの浮遊ゲート、制御ゲートと同時に形成された第1の選択ゲート14<sub>1</sub>、16<sub>1</sub>及び第2の選択ゲート14<sub>10</sub>、16<sub>10</sub>を設ける。前記NANDセルが形成された基板5はCVD酸化膜10により覆われ、この上にビット線11が配置される。9は浮遊ゲート14と制御ゲート16とを絶縁する酸化膜である。

【0007】これらの制御ゲート16は、行方向に隣接するNANDセルの対応する制御ゲートと連続的に接続され、図19にCG<sub>1</sub>～CG<sub>9</sub>として示されるワード線10  
となる。また選択ゲート14<sub>1</sub>、16<sub>1</sub>及び14<sub>10</sub>、16<sub>10</sub>も、それぞれ行方向に連続的に接続され、選択線SG<sub>1</sub>、SG<sub>2</sub>となる。なお選択ゲート14<sub>1</sub>、16<sub>1</sub>及び14<sub>10</sub>、16<sub>10</sub>はともに、図示されない所望部分で1層目と2層目が導通接続されている。

【0008】このようなNANDセルをマトリクス状に配列したメモリセルアレイの等価回路を図21に示す。ソース線は例えば64本のビット線ごとに、コンタクトを介してA1、多結晶シリコン等からなる基準電位配線に接続される。この基準電位配線は周辺回路に接続される。メモリセルの制御ゲートと第1、第2の選択ゲートは、行方向に連続的に接続される。20

【0009】図21に示すように、通常制御ゲートにつながるメモリセルの集合を1ページとよび、1組のドレイン側及びソース側の選択ゲートに接続された第1の選択線と第2の選択線との間のページの集合を、1NANDブロック又は単に1ブロックと呼ぶ。

【0010】例えば1ページは、256バイト(256×8)個のメモリセルから構成される。これをページサイズと呼ぶ。1ページ分のメモリセルは同時に書き込み30  
が行われる。1ブロックは例えば2048バイト(2048×8)個のメモリセルから構成される。1ブロック分のメモリセルは同時に消去される。

【0011】選択ゲート、制御ゲートを選択するロウデコードの構成と動作については、特願平6-218031に詳細に記載されている。

【0012】図22はNAND型フラッシュメモリの構成図である。従来のNAND型フラッシュメモリでは上記のようにページ単位でデータの書き込み、読み出しを行い、ブロック単位で消去を行う。図22(a)に示すように、セルアレイを分割しない場合には、1つのワード線に接続される256バイト個のメモリセルが1ページを構成する。図22(b)に示すように、セルアレイが例えば2分割されている場合には、分割されたセルアレイの内、1つのセルアレイのワード線に接続されたメモリセルが1ページを構成する。40

【0013】NAND型EEPROMの動作は例えば次の通りである。データの書き込みは、ビット線から遠い方のメモリセルから順に行う。選択されたメモリセルの制御ゲートには、昇圧された書き込み電圧V<sub>pr</sub>(=20  
50

V程度)を印加し、他の非選択メモリセルの制御ゲート及び第1の選択ゲートには、中間電位(=10V程度)を印加する。ビット線にはデータに応じて0V(“0”書き込み)または中間電位(“1”書き込み)を印加する。

【0014】このときビット線の電位は、選択されたメモリセルに伝達される。データ“0”のときは、選択されたメモリセルの浮遊ゲートと基板間に高電圧がかかり、基板から浮遊ゲートに電子がトンネル注入されしきい値電圧が正方向に移動する。データが“1”のときは、しきい値電圧は変化しない。

【0015】データ消去はブロック単位でほぼ同時に行われる。すなわち消去しようとするブロックの全ての制御ゲート、選択ゲートを0Vとし、p型ウエル及びn型基板に昇圧された昇圧電位V<sub>prb</sub>(20V程度)を印加する。消去を行わないブロックの制御ゲート、選択ゲートにもV<sub>prb</sub>を印加する。このように電圧を印加すれば、メモリセルの浮遊ゲートの電子がウエルに放出され、しきい値電圧が負方向に移動する。

【0016】データの読み出し動作は次のように行う。ビット線をプリチャージした後フローティング状態にし、選択されたメモリセルの制御ゲートを0V、それ以外のメモリセルの制御ゲート、選択ゲートを電源電圧V<sub>cc</sub>(例えば3V)、ソース線を0Vとして、選択メモリセルに電流が流れるか否かをビット線に検出する。

【0017】すなわち、メモリセルに書き込まれたデータが“0”(メモリセルのしきい値V<sub>th</sub>>0)ならばメモリセルはオフになるので、ビット線はプリチャージ電位を保つが、“1”(メモリセルのしきい値V<sub>th</sub><0)ならばメモリセルはオンしてビット線はプリチャージ電位からΔVだけ下がる。これらのビット線電位をセンスアンプで検出することによって、メモリセルのデータが読み出される。

【0018】

【発明が解決しようとする課題】従来のNAND型EEPROMからなる半導体記憶装置においては、書き込み動作は同一ワード線(制御ゲート)に接続するメモリセルに対して同時に行われる。従って同一ワード線に接続するメモリセルの数(ページサイズ)を大きくするほど、1バイト当たりの書き込み速度が高速化される。

【0019】しかし、ページサイズが大きくなるにつれて、消去サイズ(ブロックサイズ)も大きくなり、1チップに含まれるブロックの数が減少する。その結果、消去の単位である1ブロックにつき、その1部の領域にのみデータを記憶するような、小容量のデータを数多く記憶する用途では、ページサイズ及びブロックサイズを大きくするほど、1チップ内に記憶できるデータの数が減少するという問題を生じていた。

【0020】また、不揮発性半導体記憶装置のメモリの容量が大きくなるにしたがってページサイズやブロック

サイズが変化すればメモリの世代間の互換性が失われる。このため、メモリを用いたシステムの設計は、ページサイズやブロックサイズが変化すれば、世代が変わるごとに変更しなければならないという問題があった。

【0021】

【課題を解決するための手段】本発明の半導体記憶装置は、電氣的書き替え可能なメモリセルがマトリックス状に配置されたメモリセルアレイと、メモリセルのゲート電極でありメモリセルの選択信号線となるワード線とを有する半導体記憶装置において、読み出しあるいは書き込みに際して同時に選択されるメモリセルページの数

10

が可変であり、かつ各メモリセルページはそれぞれ異なるワード線を共有するメモリセルを含むことを特徴とする。

【0022】また本発明の半導体記憶装置は、読み出しあるいは書き込みに際して複数のモードを選択する手段を有する半導体記憶装置において、前記複数のモードは、 $N1$  個 ( $N1$  は自然数) のメモリセルページが読み出しあるいは書き込みに際して同時に選択される第1のモードと、 $N2$  個 ( $N2$  は  $N1$  と異なる自然数) のメモリセルページが読みだしあるいは書き込みに際して同時に選択される第2のモードと、 $Ni$  個 ( $Ni$  は自然数) のメモリセルページが読み出しあるいは書き込みに際して同時に選択される第  $i$  のモード ( $i$  は2以上の自然数) とからなり、かつ同時に選択される各メモリセルページはそれぞれ異なるワード線を共有するメモリセルを含むことを特徴とする。

20

【0023】また好ましくは、前記複数のモードは、チップ外部から入力するコマンドにより選択されるものであることを特徴とする。

30

【0024】本発明の半導体記憶装置は、複数のモードを選択する手段を有する半導体記憶装置において、前記複数のモードを選択するに当り、第  $k$  のモード ( $k$  は  $i$  以下の自然数) と第  $m$  のモード ( $m$  は  $k$  と異なる  $i$  以下の自然数) とで、それぞれ互いに構成単位の異なる第  $k$  のメモリセル群及び第  $m$  のメモリセル群が1チップ内で形成され、かつ同時に選択される各メモリセルページはそれぞれ異なるワード線を共有するメモリセルを含むことを特徴とする。

40

【0025】本発明の半導体記憶装置は、電氣的書き替え可能なメモリセルがマトリックス状に配置されたメモリセルアレイと、メモリセルのゲート電極でありメモリセルの選択信号線となるワード線と、メモリセルとデータの授受を行うビット線と、ビット線に接続し、メモリセルの書き込みデータあるいは読み出しデータを保持するデータ回路とを有する半導体記憶装置において、それぞれメモリセルとワード線とビット線とデータ回路とを互いに異にする複数のサブセルアレイが形成されており、読み出しあるいは書き込みに際して、同時に選択されるサブセルアレイの数が可変であることを特徴とす

50

る。

【0026】本発明の半導体記憶装置は、ビット線に接続し、メモリセルの書き込みデータあるいは読み出しデータを保持するデータ回路と、複数の書き込みモードを選択する手段とを有する半導体記憶装置において、それぞれメモリセルとワード線とビット線とデータ回路とを互いに異にする複数のサブセルアレイが形成されており、第  $j \cdot k$  ( $j, k$  は1以上の自然数で  $j \geq k$ ) のサブセルアレイは、第  $j$  の書き込みモードで選択された第  $k$  のサブセルアレイ、第  $j \cdot k$  のデータ回路は前記第  $k$  のサブセルアレイに属するデータ回路としたとき、前記複数の書き込みモードは、第1・1のサブセルアレイ内の第1・1のデータ回路に書き込みデータを入力した後に、該データ回路のデータをもとに、第1・1のサブセルアレイ内のメモリセルに書き込みを行う第1の書き込みモードと、第2・1のサブセルアレイ内の第2・1のデータ回路及び第2・2のサブセルアレイ内の第2・2のデータ回路に書き込みデータを入力した後に、該データ回路のデータをもとに、第2・1のサブセルアレイ内のメモリセル及び第2・2のサブセルアレイのメモリセルに書き込みを行う第2の書き込みモードと、第  $m \cdot 1$  から第  $m \cdot m$  のサブセルアレイ内の第  $m \cdot 1$  から第  $m \cdot m$  のデータ回路に書き込みデータを入力した後に、該データ回路のデータをもとに、第  $m \cdot 1$  から第  $m \cdot m$  のサブセルアレイ内のメモリセルに書き込みを行う第  $m$  の書き込みモード ( $m$  は2以上の自然数) とからなることを特徴とする。

【0027】また好ましくは、前記複数のモードは、チップ外部から入力するコマンドにより選択されるものであることを特徴とする。

【0028】本発明の半導体記憶装置は、ビット線に接続し、メモリセルの書き込みデータあるいは読み出しデータを保持するデータ回路と、複数の読み出しモードを選択する手段とを有する半導体記憶装置において、それぞれメモリセルとワード線とビット線とデータ回路とを互いに異にする複数のサブセルアレイが形成されており、第  $j \cdot k$  ( $j, k$  は1以上の自然数で  $j \geq k$ ) のサブセルアレイは、第  $j$  の読み出しモードで選択された第  $k$  のサブセルアレイ、第  $j \cdot k$  のデータ回路は前記第  $k$  のサブセルアレイに属するデータ回路としたとき、前記複数の読み出しモードは第1・1のサブセルアレイ内のメモリセルのデータを第1・1のデータ回路に読み出した後に、該データ回路のデータをチップ外部に出力する第1の読み出しモードと、第2・1及び第2・2のサブセルアレイ内のメモリセルのデータを第2・1及び第2・2のデータ回路に読み出した後に、該データ回路のデータをチップ外部に出力する第2の読み出しモードと、第  $m \cdot 1$  から第  $m \cdot m$  のサブセルアレイ内のメモリセルのデータを第  $m \cdot 1$  から第  $m \cdot m$  のデータ回路に読み出した後に該データ回路のデータをチップ外部に出力する

第 $m$ の読み出しモード ( $m$ は2以上の自然数) とからなることを特徴とする。

【0029】また好ましくは、前記複数のモードは、チップ外部から入力するコマンドにより選択されるものであることを特徴とする。

【0030】本発明の半導体記憶装置は、第1の書き込みデータが第1・1のサブセルアレイ内の第1・1のデータ回路に書き込みデータを入力した後に、該データ回路のデータをもとに、第1・1のサブセルアレイ内のメモリセルに書き込みが行われ、第2の書き込みデータは第2・1のサブセルアレイ内の第2・1のデータ回路及び第2・2のサブセルアレイ内の第2・2のデータ回路に書き込みデータを入力した後に、該データ回路のデータをもとに、第2・1のサブセルアレイ内のメモリセル及び第2・2のサブセルアレイのメモリセルに書き込みが行われ、第 $n$ の書き込みデータ ( $n$ は2以上の自然数) は第 $n$ ・1から第 $n$ ・ $n$ のサブセルアレイ内の第 $n$ ・1から第 $n$ ・ $n$ のデータ回路に書き込みデータを入力した後に、該データ回路のデータをもとに、第 $n$ ・1から第 $n$ ・ $n$ のサブセルアレイ内のメモリセルに書き込みが行われ、互いに構成単位の異なる第 $k$ の書き込みデータ ( $k$ は $i$ 以下の自然数) 及び第 $m$ の書き込みデータ ( $m$ は $k$ と異なる $i$ 以下の自然数) が1チップ内に記憶されることを特徴とする。

【0031】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。

【0032】図1は、本発明の第1の実施の形態に係る半導体記憶装置の構成の一例を示すブロック図である。本第1の実施の形態ではメモリセルアレイはサブセルアレイA、サブセルアレイB、サブセルアレイC、サブセルアレイDの4つのサブセルアレイに分割されている。

【0033】図1において $SA_A$ 、 $SA_B$ 、 $SA_C$ 、 $SA_D$ は各サブセルアレイのデータ回路であり、書き込み、読み出しに際して、ビット線を選択して書き込みデータを入力したり、メモリセルから読み出したデータを保持するものである。特にデータ回路を設けることなく、外部と直接データの書き込み、読み出しを行ってもよい。 $RD_A$ 、 $RD_B$ 、 $RD_C$ 、 $RD_D$ はロウデコーダであり、制御ゲート、選択ゲートの選択を行う。

【0034】図2は前記データ回路 $SA_x$  ( $x$ : A、B、C、D) の具体例である。例えばビット線 $BL_0$ 、 $BL_{01}$ が接続されるセンスアンプ $SA_1$ 、及びその周辺回路を示している。このセンスアンプ $SA_1$ はデータラッチ回路を兼用している。このセンスアンプ $SA_1$ はセンスアンプ活性化信号 $\Phi_1$ 、 $\Phi_2$ により活性化される。

【0035】このセンスアンプ $SA_1$ のノードN1とデータ線/IOの相互間にはトランジスタQ31接続され、ノードN2とデータ線IOの相互間にはトランジスタQ32が接続されている。これらトランジスタQ31、Q32は

カラムデコードから供給されるカラム選択信号 $CSL_1$ によって制御される。

【0036】前記センスアンプ $SA_1$ のノードN1とN2の間にはイコライズ信号 $\Phi_1$ により制御されるトランジスタQ33、Q34が接続されている。これらのトランジスタQ33、Q34の相互接続点には電源 $V_{cc}/2$ が供給されている。イコライズ信号 $\Phi_1$ によりトランジスタQ33、Q34が導通されると、ノードN1、N2は電源 $V_{cc}/2$ にイコライズされる。

【0037】ビット線 $BL_0$ とセンスアンプ $SA_1$ のノードN1の間にはビット線選択信号 $SS_1$ により制御されるトランジスタQ35と、センスアンプ選択信号 $SA_1$ により制御されるトランジスタQ36が接続されている。また、ビット線 $BL_{01}$ とセンスアンプ $SA_1$ のノードN2の間にはビット線選択信号 $SS_2$ により制御されるトランジスタQ37と、センスアンプ選択信号 $SA_2$ により制御されるトランジスタQ38が接続されている。

【0038】前記トランジスタQ35とQ36の相互接続点と電源端子31の間にはプリチャージ信号 $PR_{A1}$ により制御されるトランジスタQ39が接続されている。電源端子31にはプリチャージ電圧 $V_{A1}$ が供給されている。トランジスタQ39はプリチャージ信号 $PR_{A1}$ に応じてビット線 $BL_0$ をプリチャージする。

【0039】前記トランジスタQ37とQ38の相互接続点と電源端子32の間にはプリチャージ信号 $PR_{B1}$ により制御されるトランジスタQ40が接続されている。電源端子32にはプリチャージ電圧 $V_{B1}$ が供給されている。トランジスタQ40はプリチャージ信号 $PR_{B1}$ に応じてビット線 $BL_{01}$ をプリチャージする。

【0040】前記トランジスタQ35とQ36の相互接続点と電源端子33の間にはトランジスタQ41、Q42が接続されている。電源端子33にはベリファイ電圧 $V_{FA}$ が供給されている。トランジスタQ41のゲートは前記ノードN1に接続され、トランジスタQ42のゲートにはベリファイ信号 $VRFY_A$ が供給されている。

【0041】また前記トランジスタQ37とQ38の相互接続点と電源端子34の間にはトランジスタQ43、Q44が接続されている。電源端子34にはベリファイ電圧 $V_{FB}$ が供給されている。トランジスタQ43のゲートは前記ノードN2に接続され、トランジスタQ44のゲートにはベリファイ信号 $VRFY_B$ が供給されている。

【0042】＜読み出し動作＞ここでタイミング図を用いて読み出し動作を説明する。

【0043】図3は図6のメモリセル $MC_1$ に書き込まれたデータを読み出す場合のタイミング図である。まず、プリチャージ信号 $PR_{A1}$ 、 $PR_{B1}$ が $V_{ss}$ から $V_{cc}$ になり(時刻 $t_0$ )、ビット線 $BL_0$ が $V_{A1}$ (例えば1.7V)になり、(ダミー)ビット線 $BL_{01}$ が $V_{B1}$ (例えば1.5V)にプリチャージされる(時刻 $t_1$ )。

【0044】プリチャージが終わると $PR_{A1}$ 、 $PR_{B1}$ が



$V_{ss}$  となり、ビット線  $BL_0$ 、 $BL_{0z}$  はフローティング状態になる。この後、ロウデコーダから選択ゲート、制御ゲートに所望の電圧が印加される(時刻  $t_1$ )。制御ゲート  $CG_{1A}$  が 0 V、 $CG_{2A} \sim CG_{8A}$  は  $V_{cc}$  (例えば 3 V)、 $SG_{2A}$  は 3 V、 $SG_{1A}$  は 3 V となる。

【0045】メモリセル  $MC_i$  に書き込まれたデータが“0”の場合は、メモリセルのしきい値電圧が正なのでセル電流は流れず、ビット線  $BL_0$  の電位は 1.7 V のままである。データが“1”の場合は、セル電流が流れてビット線  $BL_0$  の電位は下がり、1.5 V 以下になる。この間(ダミー)ビット線  $BL_{0z}$  はプリチャージ電位 1.5 V に保たれる。

【0046】その後、時刻  $t_2$  に  $\Phi_1$  が 3 V、 $\Phi_2$  が 0 V となり、CMOS フリップフロップ FF が不活性化され、時刻  $t_3$  に  $\Phi_2$  が 3 V になることにより  $SA_2$  の CMOS フリップフロップ FF がイコライズされてノード  $N1$ 、 $N2$  が  $V_{cc}/2$  (例えば 1.5 V) になる。時刻  $t_4$  に  $SS_2$ 、 $S_A$ 、 $S_B$  が 3 V になり、ビット線とセンスアンプが接続された後、 $\Phi_1$  が 0 V から 3 V、 $\Phi_2$  が 3 V から 0 V になり、ビット線  $BL_0$  とビット線  $BL_{0z}$  の電位差が増幅される(時刻  $t_5$ )。

【0047】つまり、メモリセル  $MC_i$  に“0”が書き込まれていれば、 $SA_2$  のノード  $N1$  が 3 V、ノード  $N2$  が 0 V になり、メモリセル  $MC_i$  に“1”が書き込まれていれば、ノード  $N1$  が 0 V、ノード  $N2$  が 3 V になる。その後、カラム選択信号  $CSL_2$  が 0 V から 3 V となると、CMOS フリップフロップにラッチされていたデータが  $I/O$ 、 $I/O$  に出力される(時刻  $t_7$ )。

【0048】<書き込み動作>ここで、タイミング図を用いて書き込み動作を説明する。図4はメモリセル  $MC_i$  を書き込む場合のタイミング図である。メモリセル  $MC_i$  に書き込むデータは、センスアンプ回路(図2の  $SA_2$ )にラッチされている。つまり“0”書き込みの場合にはノード  $N1$  は 0 V、 $N2$  は 3 V、“1”書き込みの場合にはノード  $N1$  は 3 V、 $N2$  は 0 V になる。

【0049】書き込み動作に入ると、まず時刻  $t_1$  に  $SG_{1A}$  を  $V_{ss}$ 、 $SG_{2A}$ 、 $CG_{1A} \sim CG_{8A}$  を  $V_{cc}$  にする。ビット線  $BL_0$  はセンスアンプ回路  $SA_2$  にラッチされたデータに応じて  $V_{cc}$  か  $V_{ss}$  (0 V) の電位を与えられる。これによって、例えばメモリセル  $MC_i$  に“0”書き込みを行う場合には、ビット線  $BL_0$  を 0 V にしてメモリセル  $MC_i$  のチャネルを 0 V にすることになる。メモリセル  $MC_i$  に“1”書き込みを行う場合にはビット線  $BL_0$  を  $V_{cc}$  (例えば 3 V) にしてメモリセル  $MC_i$  のチャネルを  $V_{cc} - V_{th}$  に充電することになる。選択ゲート  $SG_{1A}$  は 0 V で、 $SG_{1A}$  をゲート電極とする選択 MOS トランジスタはオフである。

【0050】メモリセル  $MC_i$  に“0”書き込みを行う場合には、メモリセルのチャネルは 0 V が保たれる。

“1”書き込みのメモリセルのチャネルはフローティン

グになる。時刻  $t_2$  に制御ゲート  $CG_{1A} \sim CG_{8A}$  を  $V_{cc}$  から中間電位  $V_M$  (10 V 程度) にする。そうすると、

“1”書き込みを行うメモリセル  $MC_i$  のチャネルはフローティング状態なので、制御ゲート・チャネル間の容量結合によって、 $V_{cc} - V_{th}$  から中間電位 (10 V 程度) に上昇する。“0”書き込みを行うメモリセル  $MC_i$  のチャネルはビット線が 0 V なので 0 V である。

【0051】“1”書き込みを行うメモリセルのチャネルが  $V_{cc} - V_{th}$  から中間電位に昇圧した後に、時刻  $t_3$  に制御ゲート  $CG_{1A}$  を中間電位  $V_M$  から書き込み電圧  $V_{pp}$  (20 V) に昇圧する。そうすると、“1”書き込みを行うメモリセル  $MC_i$  のチャネルは中間電位 (10 V 程度)、制御ゲート  $CG_{1A}$  は  $V_{pp}$  (20 V 程度) なので、これらのメモリセルは書き込まれないが、“0”書き込みを行うメモリセル  $MC_i$  のチャネルは 0 V、制御ゲートは  $V_{pp}$  (20 V 程度) なので、基板から浮遊ゲートに電子が注入されて“0”書き込みが行われる。書き込み終了後、制御ゲート、選択ゲート、ビット線が順次放電されて書き込み動作は終了する。

【0052】書き込み終了後は、書き込みが十分に行われたかを調べる書き込みベリファイ動作が行われる。

【0053】図5に書き込みベリファイ動作のタイミング図を示す。まず、プリチャージ信号  $PR_{A1}$ 、 $PR_{B1}$  が  $V_{ss}$  から  $V_{cc}$  になり(時刻  $t_1$ )、ビット線  $BL_0$  が  $V_{A1}$  (例えば 1.7 V) になり、(ダミー)ビット線  $BL_{0z}$  が  $V_{B1}$  (例えば 1.5 V) にプリチャージされる(時刻  $t_2$ )。

【0054】プリチャージが終わると  $PR_{A1}$ 、 $PR_{B1}$  が  $V_{ss}$  となり、ビット線  $BL_0$ 、 $BL_{0z}$  はフローティング状態になる。この後、ロウデコーダから選択ゲート、制御ゲートに所望の電圧が印加される(時刻  $t_3$ )。制御ゲート  $CG_{1A}$  が 0 V、 $CG_{2A} \sim CG_{8A}$  は  $V_{cc}$  (例えば 3 V)、 $SG_{2A}$  は 3 V、 $SG_{1A}$  は 3 V となる。メモリセル  $MC_i$  に書き込まれたデータが“0”の場合は、メモリセルのしきい値電圧が正なのでセル電流は流れず、ビット線  $BL_0$  の電位は 1.7 V のままである。データが“1”の場合は、セル電流が流れてビット線  $BL_0$  の電位は下がり、1.5 V 以下になる。

【0055】ビット線放電後、ベリファイ信号  $VRFY_A$  が 3 V になり(時刻  $t_7$ )、メモリセル  $MC_i$  に書き込まれるデータが“1”の場合には、ビット線  $BL_0$  は、3 V 近くに充電される。ここで、ベリファイ信号によって行われる充電の電圧レベルはビット線  $BL_{0z}$  のプリチャージ電圧 1.5 V 以上であればよい。この間(ダミー)ビット線  $BL_{0z}$  はプリチャージ電位 1.5 V に保たれる。

【0056】その後、時刻  $t_8$  に  $\Phi_1$  が 3 V、 $\Phi_2$  が 0 V となり、CMOS フリップフロップ FF が不活性化され、時刻  $t_9$  に  $\Phi_2$  が 3 V になることにより  $SA_2$  の CMOS フリップフロップ FF がイコライズされてノード



N1、N2が $V_{cc}/2$  (例えば1.5V)になる。時刻 $t_{10}$ にSS<sub>2</sub>、S<sub>A</sub>、S<sub>B</sub>が3Vになり、ビット線とセンスアンプが接続された後、 $\Phi_x$ が0Vから3V、 $\Phi_p$ が3Vから0Vになりビット線BL<sub>0</sub>とビット線BL<sub>01</sub>の電位差が増幅され、再書き込みのデータがセンスアンプにラッチされる(時刻 $t_{11}$ )。

【0057】図6にサブセルアレイAの回路構成を示す。サブセルアレイAを構成する各ブロックのワード線をCG<sub>1A</sub>～CG<sub>8A</sub>と表示している。図6では説明の便宜上ブロック1Aについてワード線に符号を与えている。各ワード線に接続された制御ゲートを有するメモリセルの集合が1ページに相当し、それぞれ前記ワード線の符号と重複して(ページ1A)～(ページ8A)と付記されている。

【0058】サブセルアレイAは同様に8つのページからなるブロック0<sub>A</sub>、1<sub>A</sub>、2<sub>A</sub>…から構成され、サブセルアレイB、C、Dの回路構成は、図6において単に図に記載された符号中のAをB、C、Dに置き換えたものに相当する。

【0059】図1のサブセルアレイはそれぞれ256バイト個のカラムから構成される。すなわち、1サブセルアレイ当りのビット線の数(カラム数)は、256×(8本)となる。第1の実施の形態においては次に示すように、書き込み、読み出しに際して、同時に選択されるメモリセルページの数を可変にすることができる。

【0060】例えば1つのサブセルアレイAに含まれるメモリセルページ1<sub>A</sub>を同時に選択する場合には、図1に示すように読み出し、書き込みのページサイズは256バイトである。一方サブセルアレイA、Bに含まれるメモリセルページ1<sub>A</sub>、1<sub>B</sub>を同時に選択し、サブセルアレイC、Dに含まれるメモリセルページ1<sub>C</sub>、1<sub>D</sub>を同時に選択する場合には、読み出し、書き込みのページサイズは512バイトである。

【0061】このほかサブセルアレイA、B、Cに含まれるメモリセルページ1<sub>A</sub>、1<sub>B</sub>、1<sub>C</sub>を同時に選択してページサイズを768バイトにすることもできるし、サブセルアレイA、B、C、Dに含まれるメモリセルページ1<sub>A</sub>、1<sub>B</sub>、1<sub>C</sub>、1<sub>D</sub>を同時に選択して、ページサイズを1024バイトにすることもできる。

【0062】書き込み、読み出しに際して、上記のように2つのサブセルアレイを同時に活性化するとき、消去は1つのサブセルアレイごとに行っても良いし、2つのサブセルアレイで同時に行っても良い。

【0063】すなわち、サブセルアレイに分割されたメモリセルアレイを用いて、上記のように書き込み、読み出しに際して、同時に複数のサブセルアレイに属するメモリセルページを選択することにより、メモリセルページの数を可変にすることができる。このとき、同時に選択されるメモリセルページがそれぞれ異なるワード線を有することに特徴があり、前記ワード線により、同時に

選択されるメモリセルページを設定することができる。

【0064】第1の実施の形態におけるデータの書き込み、読み出し、及び消去の過程をさらに詳細に説明する。図1に示すように、ページサイズが256バイトの場合の書き込み、読み出し、消去の様子を図7、図8、図9に示した。図7、図8でのA<sub>0</sub>、A<sub>1</sub>、…、A<sub>1023</sub>はそれぞれ1バイトのデータを表している。

【0065】本第1の実施の形態では、チップ外部とのデータ入出力線(I/Oバス)は8本で構成される。図7等では簡単のため1本の線で示されている。

【0066】書き込みは図6、図7に示すように行う。先頭アドレスから256バイト(A<sub>0</sub>、A<sub>1</sub>、…、A<sub>1023</sub>、A<sub>1024</sub>、A<sub>1025</sub>)のデータが、例えばサブセルアレイA内のCG<sub>1A</sub>が選択するメモリセル(ページ1A)に書き込まれたとすると、次の256バイトはCG<sub>2A</sub>が選択するメモリセル(ページ2A)に、次の256バイトはCG<sub>3A</sub>が選択するメモリセル(ページ3A)に、次の256バイトはCG<sub>4A</sub>が選択するメモリセル(ページ4A)に書き込まれるというように、図7の矢印に示すように、サブセルアレイA内のメモリセルに書き込まれる。

【0067】読み出しは図6、図8に示すように行う。すなわち図6に示すサブセルアレイA内の、CG<sub>1A</sub>が選択するメモリセル(ページ1A)が読み出されたとすると、次はCG<sub>2A</sub>が選択するメモリセル(ページ2A)が読み出され、次はCG<sub>3A</sub>が選択するメモリセル(ページ3A)が読み出され、次はCG<sub>4A</sub>が選択するメモリセル(ページ4A)が読み出されるというように、サブセルアレイA内のメモリセルから図8の矢印に示すように読み出される。

【0068】ここにデータの書き込み、読み出しは、サブセルアレイAに属するデータ回路SA<sub>A</sub>(図1参照)を介して行っても良いし、外部と直接行っても良い。消去は図9の破線で示すように、各サブアレイの各ブロック単位に行ってもよいし、複数のサブアレイ内のブロックで同時に行ってもよい。

【0069】ページサイズが1024バイトの場合の書き込み、読み出し、消去の過程を図10、図11、図12に示した。図10、図11のA<sub>0</sub>、A<sub>1</sub>、…、A<sub>1023</sub>はそれぞれ1バイトのデータを表している。チップ外部とのデータ入出力線(I/Oバス)は8本である。ページサイズが1024バイトの場合には、サブセルアレイA、サブセルアレイB、サブセルアレイC、サブセルアレイDが同時に選択される。

【0070】書き込みは図10に示すように行う。先頭アドレスから256バイト(A<sub>0</sub>、A<sub>1</sub>、…、A<sub>1023</sub>)のデータをサブアレイA内のデータ回路SA<sub>A</sub>(図1参照)に、次の256バイトをデータ回路SA<sub>B</sub>に、次の256バイトをデータ回路SA<sub>C</sub>に、次の256バイトをデータ回路SA<sub>D</sub>に蓄える。そして前記データ回路のデータを基に、CG<sub>1A</sub>が選択するメモリセル(ページ1

10

20

30

40

50

A)、CG<sub>1B</sub>が選択するメモリセル(ページ1B)、CG<sub>1C</sub>が選択するメモリセル(ページ1C)、CG<sub>1D</sub>が選択するメモリセル(ページ1D)に同時に書き込みを行う。従って、ページサイズが256バイトの場合に比べて、書き込み動作が約4倍高速化される。

【0071】次に図11、図13を用いて読み出し動作を説明する。図13(a)に示すように、ページサイズが256バイトの場合には、各ページのシリアルリードの前に必ずランダムリードが必要である。従って1024バイトのデータを読み出す場合には、4回のランダム

リードと4回のシリアルリードが必要となる。  
【0072】一方、ページサイズが1024バイトの場合には、CG<sub>1A</sub>、CG<sub>1B</sub>、CG<sub>1C</sub>、CG<sub>1D</sub>を同時に選択するので、ランダムリードは1回だけでよい。つまり1回ランダムリードした後は、間断なくページ1A、1B、1C、1Dのデータを外部に出力することができる。このため、読み出しの場合もページサイズを大きくした方が読み出し動作が高速化される。この時前記ページ1A、1B、1C、1Dの書き込み、読み出し動作は、データ回路を介することなく外部と直接、同時に行うこともできる。

【0073】次に図12を用いて消去の動作を説明する。1024バイト単位のデータを消去する場合には、ページ1A、ページ1B、ページ1C、ページ1Dを同時に消去する。すなわち、ブロック1A、ブロック1B、ブロック1C、ブロック1Dを同時に消去するので、ページサイズが256バイトの場合に比べて同時に消去されるメモリセルの数は4倍になる。

【0074】以上ページサイズが256バイトと1024バイトとの場合について書き込み、読み出し及び消去の動作を説明したが、同時に活性化するサブセルアレイを2個にしてページサイズを2倍にしてもよいし、3個のサブセルアレイを同時に活性化するようにしてページサイズを3倍にしてもよい。

【0075】また、図7に示すように、1024バイトの大きさのデータが全てサブセルアレイAに含まれるブロック1A内に書き込まれる場合には、図9に示すように、ブロック1Aのみを消去すればよく、消去単位は256バイト×8(CG<sub>1A</sub>~CG<sub>8A</sub>)と小さくすることができる。このようにページサイズを256バイトと小さくすれば、同時に消去するメモリセルの数を小さくすることができる。

【0076】すなわち、ページサイズを大きくした方が書き込み、読み出しが高速化される反面、同時に消去するメモリセルの数が増加する。従って、1つのデータの容量が小さい(例えば256バイト以下)用途では、ページサイズを小さくすることにより消去単位を小さくした方がよい。1つのデータの容量が大きい(例えば10Kバイト)用途では、ページサイズを大きくすることにより書き込み、読み出しを高速化する方が有利である。

【0077】次に第2の実施の形態として、書き込み、読み出しのページサイズを可変にする制御方式について説明する。

【0078】例えば第1のモードでは、図1のサブセルアレイA内のページ1Aが選択され、第2のモードでは、サブセルアレイA及びB内のページ1A、1Bが選択され、第3のモードでは、サブセルアレイA、B、及びC内のページ1A、1B、1Cが選択され、第4のモードではサブセルアレイA、B、C、D内のページ1A、1B、1C、1Dが選択されるようにすれば、前記第1~第4のモードを選択することにより、256バイト、512バイト、768バイト、1024バイトのデータを同時に書き込み、読み出しすることができる。

【0079】前記ページサイズはフラッシュメモリの外部から、コマンドにより制御するようにしてもよい。コマンドによる制御が可能であれば、フラッシュメモリのユーザは、用途に応じてページサイズを自由に変えることができる。

【0080】また1チップ上でページサイズの異なるものが、メモリセルアレイ内に同時に存在してもよい。例えば図14に示すように、書き込みデータが256バイト以下(図14のデータ1)の場合には、ページサイズを256バイトとしてページ1A(CG<sub>1A</sub>)に書き込み、書き込みデータが例えば768バイトの場合(図14のデータ2)には、ページサイズを768バイトとしてページ1B(CG<sub>1B</sub>)、ページ1C(CG<sub>1C</sub>)、ページ1D(CG<sub>1D</sub>)に書き込んでもよい。

【0081】また図15のように、256バイト以下のデータ(図15のデータ3)をページサイズ256バイトとしてページ1A(CG<sub>1A</sub>)に書き込んだ後に、例えば1024バイトのデータ(図15のデータ4)を、ページサイズ1024バイトとしてページ1B(CG<sub>1B</sub>)、ページ1C(CG<sub>1C</sub>)、ページ1D(CG<sub>1D</sub>)、ページ2A(図6のCG<sub>2A</sub>)に書き込んでもよい。

【0082】ページの変え方、書き込み方法には様々な形態がある。また、チップの出荷時にページサイズを固定してもよい。ページサイズを変化するには、アドレスの設定方法を変更すればよい。アドレスの変更はチップ内のアドレスデコード回路の一部に設けたヒューズを切断するか、または金属配線(A1など)のパターンを変更する等により、容易に実施することができる。

【0083】従って、例えばページサイズがそれぞれ256バイト、512バイト、768バイト、1024バイトのものを全て同様に設計し、チップ出荷前にチップ内のヒューズを切るか、金属配線のパターンのみを変えることにより、異なるページサイズのチップを作るようにしてもよい。この場合半導体記憶装置の設計はページサイズにかかわらず同一であるから、種々のページサイズのチップを設計する場合に比べて大幅なコスト低減を

図ることができる。

【0084】次に本発明の第3の実施の形態として、データ回路を介してサブセルアレイにデータを書き込む際の、書き込み動作の高速化について説明する。書き込み動作において、1つのサブセルアレイのデータ回路に書き込みデータが入力されたら、直ちに前記サブセルアレイへのデータ書き込みを行ってもよい。

【0085】すなわち図10に示すようにデータを書き込む場合には、まず図1に示すサブセルアレイAのデータ回路SA<sub>A</sub>にページ1Aの書き込みデータを入力する。データ回路SA<sub>A</sub>へのデータ入力終了すると、次にサブセルアレイBのデータ回路SA<sub>B</sub>にページ1Bの書き込みデータを入力するが、その間にサブセルアレイAにおいて、データ回路SA<sub>A</sub>からページ1Aへのデータの書き込み動作を始めてもよい。

【0086】同様に、サブセルアレイBのページ1Bへの書き込みデータのSA<sub>B</sub>への入力を終了すると、次にサブセルアレイCのデータ回路SA<sub>C</sub>にページ1Cへの書き込みデータを入力すると同時に、サブセルアレイBのページ1Bへの書き込みを行ってもよい。

【0087】サブセルアレイCの書き込みデータのSA<sub>C</sub>への入力を終了すると、サブセルアレイDのページ1Dへの書き込みデータのSA<sub>D</sub>への入力と同時に、サブセルアレイCのページ1Cの書き込みを行ってもよい。サブセルアレイDのページ1Dの書き込みデータのSA<sub>D</sub>への入力が終了した時に、他のサブセルアレイの書き込み、例えばサブセルアレイAのページ1Aの書き込みが終了していれば、サブセルアレイAのデータ回路SA<sub>A</sub>に書き込みデータを入力してサブセルアレイAの次のページ（ページ2A）の書き込みを行ってもよい。

【0088】このようにデータ回路に書き込みデータを入力した後、他のデータ回路に書き込みデータを入力する間に、すでに書き込みデータをデータ回路に入力したカラムでは書き込みを行うことにより、書き込みを高速化することができる。

【0089】次に図16に基づき本発明の第4の実施の形態を説明する。

【0090】前記ページサイズの変更は、アドレスを変更することにより容易に行うことができる。以下、アドレス選択回路の回路構成について説明する。メモリセルアレイの構成は図1に示す通りであり、4つのサブセルアレイに分割されている。サブセルアレイA内のカラムアドレス、ロウアドレス（ページアドレス）を図16に示す。

【0091】ビット線を選択するカラムアドレスは、サブセルアレイAではC<sub>0</sub>からC<sub>11</sub>、サブセルアレイBではC<sub>12</sub>からC<sub>23</sub>、サブセルアレイCではC<sub>24</sub>からC<sub>35</sub>、サブセルアレイDではC<sub>36</sub>からC<sub>47</sub>である。サブセルアレイB、C、Dのページアドレス（ロウアドレス）は、図16のページアドレスを示す符号にお

いて、単にサフィックスAをB、C、Dに置き換えたものである。外部との入出力線（I/O線）は8本（I/O<sub>0</sub>からI/O<sub>7</sub>まで）あるので、1つのカラムアドレスにより、それぞれのI/O線に対応する8カラム（8本のビット線）が同時に選択される。

【0092】このように各I/Oごとに、カラム（ビット線）が異なるカラムアドレスが割り当てられているので、任意のカラムを選択することができる。従って、ページサイズが256バイトの場合には、サブセルアレイBのカラムアドレスC<sub>12,0</sub>からC<sub>12,11</sub>のデータ回路に書き込みデータを順に入力した後に、書き込みを行えばよい。ページサイズが1024バイトの場合には、カラムアドレスC<sub>0</sub>からC<sub>10,11</sub>のデータ回路に書き込みデータを順に入力した後に、書き込みを行えばよい。

【0093】この書き込みデータの inputs は、シリアル読み出しの逆のように行えば良い。すなわち、カラムアドレスをカウンタ等により順々に選択し、チップ外部から書き込みデータをデータ回路に入力する。シリアルに書き込みデータを入力する動作は、Y. Iwata et al.: IEE

20 E J. Solid-state Circuits, vol. 30, no. 11, p. 1157 November 1995に詳細な説明がある。

【0094】各サブセルアレイは512ブロックで構成され、1ブロックは16ページ（16本の制御ゲート）で構成される。ロウアドレス（図16のページアドレス）は各サブセルアレイ内の制御ゲートを指定し、サブセルアレイAではP<sub>0,0</sub>からP<sub>511,11</sub>、サブセルアレイBではP<sub>0,0</sub>からP<sub>511,11</sub>、サブセルアレイCではP<sub>0,0</sub>からP<sub>511,11</sub>、サブセルアレイDではP<sub>0,0</sub>からP<sub>511,11</sub>となっている。

30 【0095】ページサイズが256バイトの場合には、例えばサブセルアレイCのP<sub>4,000,0</sub>を選択する。ページサイズが512バイトの場合には、サブセルアレイA、B内の例えばP<sub>0,000,0</sub>、P<sub>511,000,0</sub>を選択する。ページサイズが1024バイトの場合にはサブセルアレイA、B、C、Dの例えばP<sub>0,000,0</sub>、P<sub>511,000,0</sub>、P<sub>1023,000,0</sub>、P<sub>1535,000,0</sub>を選択する。

【0096】図17、図18が選択ゲート、制御ゲートを選択するロウ（ページ）選択回路の一例である。図18は、1ビット当り2カラムのメモリセルを接続する例（特願平6-218031参照）であるが、ロウ選択回路は、メモリセルアレイの構成やメモリセルの種類によらずほぼ同様である。ここではロウ選択回路の内、前記例と異なる回路構成部分に限って詳細に説明する。

【0097】図17に示すように、外部アドレスA<sub>0</sub>からA<sub>11</sub>で各サブセルアレイ内のロウアドレスを選択する。すなわち、A<sub>0,0</sub>からA<sub>11,11</sub>を用いてP<sub>n,x</sub>（nは0、1、2、…、8189、8190、8191、ここでxはA、B、C、D）を選択する。A<sub>0,0</sub>、A<sub>0,1</sub>、A<sub>0,2</sub>、A<sub>0,3</sub>は、各ブロック内のNANDセルの共通制御ゲートC

50 G<sub>1</sub>からCG<sub>16</sub>のいずれかを選択する。A<sub>4,0</sub>～A<sub>4,11</sub>は

各サブセルアレイ内のブロック 0 からブロック 511 を選択する。

【0098】図 17 のロウブリデコーダでは、入力した前記外部アドレスにより  $T_i$ 、 $S_i$ 、 $U_i$  を選択する。

【0099】図 18 はブロックアドレスデコーダ 1 と、アドレスデコーダの出力を受けて、ロウデコーダのトランスファゲート（例えば  $Qh21$ 、 $Qh22$ 、 $Qh25$ ）のゲートに所望の電圧を印加するトランスファゲートバイアス回路 2 と、NANDセルからなるブロック 3 と、制御ゲート電圧（ $VCG_1 \sim VCG_5$ ）、選択ゲート電圧（ $VSGD_{1,1}$ 、 $VSGS_{1,1}$ ）を制御ゲート（ $CG_1 \sim CG_5$ ）、選択ゲート（ $SGD_{1,1}$ 、 $SGS_{1,1}$ ）に転送するトランスファゲート回路 4 とから構成される。

【0100】図 18 において、ブロックアドレスデコーダ 1 は p チャネルトランジスタ  $Qp1 \sim Qp4$ 、 $Qp30$ 、n チャネルトランジスタ  $Qn1 \sim Qn3$ 、 $Qn30$  ヒューズ F、インバータ  $I_1$ 、 $I_2$ 、NOR ゲート  $G_1$ 、 $G_2$  から構成される。各サブセルアレイは  $SB_x$ （ $x$  は A、B、C、D のいずれか）と  $Qp30$ 、 $Qn30$  によって選択される。すなわち、サブセルアレイ A、B、C、D 内のブロックアドレスデコーダにはそれぞれサブセルアレイ選択信号  $SB_A$ 、 $SB_B$ 、 $SB_C$ 、 $SB_D$  が入力される。SB<sub>x</sub> が“L”のサブセルアレイは  $T_i$ 、 $S_i$ 、 $U_i$  にかかわらず、ブロック選択信号  $RDENBB$  が“L”の時にブロックアドレスデコーダの出力  $N_i$  は“L”となり非選択状態となる。

【0101】このとき副デコーダ活性化反転信号  $RDENBBD$  が“L”なら、信号  $\Phi$  は“H”となる。その結果、 $SGD_1$ 、 $SGD_2$ 、 $SGS_1$ 、 $SGS_2$  は 0 V になり、書き込み、読み出し非選択になる。

【0102】 $SB_x$  が“H”のサブセルアレイは選択状態になり、サブセルアレイ内でブロック選択信号  $T_i$ 、 $S_i$ 、 $U_i$  によってブロックが選択される。ヒューズ F が切断されている場合、あるいはブロックアドレス信号  $T_i$ 、 $S_i$ 、 $U_i$  の内 1 つでも“L”である場合には、 $RDENBB$  が“L”の時にブロックアドレスデコーダの出力  $N_1$  は“L”となってブロックは非選択状態となる。

【0103】一方、ヒューズ F が切断されず、ブロックアドレス信号  $T_i$ 、 $S_i$ 、 $U_i$  がすべて“H”の場合には、ブロックアドレスデコーダの出力  $N_1$  が“H”となり、ブロックが選択される。

【0104】図 18 では 1 ビット線を 2 カラムのメモリセルで共有するので、選択ゲートを 4 本（ $SGD_1$ 、 $SGD_2$ 、 $SGS_1$ 、 $SGS_2$ ）有する。図 6 のように 1 カラムのメモリセル当たり 1 ビット線を有する場合でも、ブロックアドレスデコーダによるブロックの選択方法は同様である。

【0105】ページサイズが 256 バイトの場合には、例えば  $SB_A$  を“H”、 $SB_B$ 、 $SB_C$ 、 $SB_D$  を

“L”にすると、サブセルアレイ A のみが選択される。また、ページサイズが 1024 バイトの場合には、例えば  $SB_A$ 、 $SB_B$ 、 $SB_C$ 、 $SB_D$  をいずれも“H”にすることにより、すべてのサブアレイ内の同一ブロック内の同一ページ（例えば  $P_{1000A}$ 、 $P_{1000B}$ 、 $P_{1000C}$ 、 $P_{1000D}$ ）が選択される。

【0106】上記第 4 の実施の形態では、複数のサブセルアレイを同時に選択する場合には、同一ブロック内の同一ページ、例えば  $P_{1000A}$ 、 $P_{1000B}$ 、 $P_{1000C}$ 、 $P_{1000D}$  が選択されるが、異なるページのメモリセルが選択されてもよい。すなわち  $P_{1000A}$ 、 $P_{1000B}$ 、 $P_{1000C}$ 、 $P_{1000D}$  が同時に選択されてもよい。また図 15 のように  $P_{1001B}$ 、 $P_{1001C}$ 、 $P_{1001D}$ 、 $P_{1000A}$  が選択されてもよい。

【0107】このように、同時に選択するブロックの組み合わせ方は大いに任意性を有する。

【0108】例えば消去において、サブセルアレイ A 内のブロック 0 とブロック 1、サブセルアレイ B 内のブロック 100、サブセルアレイ D 内のブロック 250、ブロック 280、ブロック 490 を同時に消去してもよい。

【0109】ページサイズが 512 バイトの場合には、サブセルアレイ A とサブセルアレイ B が同時に選択され、サブセルアレイ C とサブセルアレイ D が同時に選択されるようにしてもよい。

【0110】以上説明したように、 $SB_x$ （ $x$  は A、B、C、D のいずれか）の選択によってページサイズを容易に変更することができる。フラッシュメモリのユーザが、チップ外部からのコマンドにより前記  $SB_x$  を制御できるようにすれば、用途に応じてユーザが自由にページサイズを変更することができる。

【0111】またチップの出荷時にページサイズを固定するようにしてもよい。すなわちチップ内のヒューズを切る、又は A1 等の金属配線のパターンを変更する等により、同時に選択されるサブセルアレイ数（すなわち同時に“H”になる  $SB_x$  の数）を決めることができる。このようにして、種々のページサイズを有するチップを容易に提供することができる。

【0112】なお本発明は上記の実施の形態に限定されることはない。以上の説明においては、全て NAND 型メモリセルを用いる場合についてのべたが、NOR 型、DINOR 型、AND 型、Virtual Ground 型等の、各種のメモリセルについても同様に実施することができる。この他マスク ROM、DRAM、SRAM についても実施することができる。

【0113】

【発明の効果】上述したように本発明の半導体記憶装置によれば、ユーザが外部からコマンドを入力することにより、または出荷の段階で僅かな工程を加えることにより、書き込み、読み出し等を同時に行うページサイズを

自由に選択することができるので、複数のサブセルアレイを有する標準化された素子を用意すれば、個別のシステム設計において、書き込み、読み出し、消去の単位を用途に応じて最適に定めることができ、最高のシステム性能を達成することができる。また、世代間の素子の互換性の点でも有利な結果が得られる。

#### 【図面の簡単な説明】

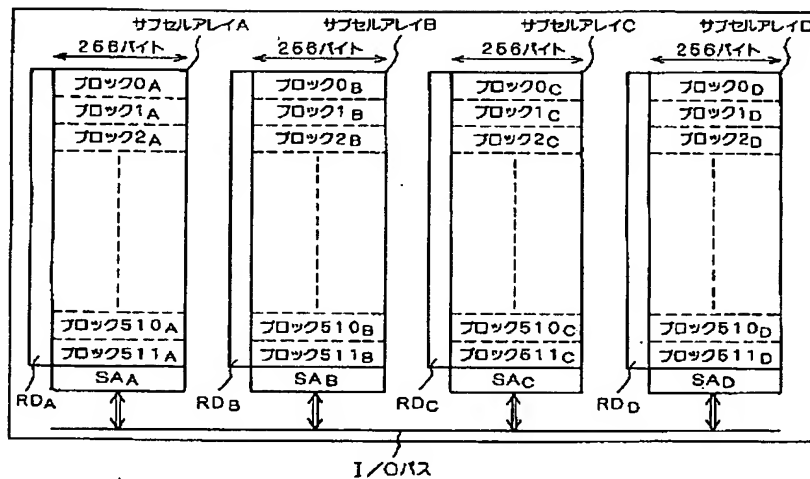
- 【図 1】本発明に係るメモリの構成を示す図。  
 【図 2】データ回路の一例を示す図。  
 【図 3】データ読み出しのタイミング図。  
 【図 4】データ書き込みのタイミング図。  
 【図 5】書き込みベリファイ動作のタイミング図。  
 【図 6】サブセルアレイ A の構成を示す図。  
 【図 7】ページサイズ 256 バイトの場合の書き込み動作を示す図。  
 【図 8】ページサイズ 256 バイトの場合の読み出し動作を示す図。  
 【図 9】ページサイズ 256 バイトの場合の消去動作を示す図。  
 【図 10】ページサイズ 1024 バイトの場合の書き込み動作を示す図。  
 【図 11】ページサイズ 1024 バイトの場合の読み出し動作を示す図。  
 【図 12】ページサイズ 1024 バイトの場合の消去動作を示す図。  
 【図 13】ページサイズが 256 バイトの場合と、1024 バイトの場合の読み出し動作を説明する図。  
 【図 14】本発明のデータ構成の一例を示す図。  
 【図 15】本発明の他のデータ構成の一例を示す図。  
 【図 16】本発明のサブセルアレイ A のアドレスの一例を示す図。  
 【図 17】本発明のロウプリデコーダの一例を示す図。  
 【図 18】本発明のロウデコーダの一例を示す図。  
 【図 19】NAND 型 EEPROM のセル構成を示す平面図と等価回路図。  
 【図 20】NAND 型 EEPROM のセルの断面図。  
 【図 21】NAND 型 EEPROM のメモリセルアレイの等価回路図。  
 【図 22】メモリのブロック図。
- 【符号の説明】
- 1…ブロックアドレスデコーダ
  - 2…トランスファーゲートバイアス回路
  - 3…2 カラム並列に接続された NAND セル
  - 4…トランスファーゲート回路
  - 5…シリコン基板
  - 6…素子分離酸化膜
  - 7…ゲート絶縁膜
  - 8… $n^+$  拡散層
  - 9…浮遊ゲートと制御ゲートを絶縁する酸化膜
  - 10…CVD 酸化膜

- 11…ビット線
- 14…浮遊ゲート
- 16…選択ゲート
- $M_i \sim M_{16}$ 、 $MC_i$ …メモリセル
- $PR_{A1}$ 、 $PR_{A2}$ …プリチャージ信号
- $S_1$ 、 $S_2$ …ドレイン側選択トランジスタ
- $S_3$ 、 $S_4$ …ソース側選択トランジスタ
- $14_1 \sim 14_8$ …浮遊ゲート
- $14_9$ 、 $14_{10}$ 、 $16_9$ 、 $16_{10}$ …ドレイン側とソース側の選択ゲート
- $16_1 \sim 16_8$ …制御ゲート
- $0_A \sim 511_A$ …サブセルアレイ A のブロック番号
- $0_B \sim 511_B$ …サブセルアレイ B のブロック番号
- $0_C \sim 511_C$ …サブセルアレイ C のブロック番号
- $0_D \sim 511_D$ …サブセルアレイ D のブロック番号
- $RD_A$ 、 $RD_B$ 、 $RD_C$ 、 $RD_D$ …サブセルアレイ A、B、C、D のロウデコーダ
- $SA_A$ 、 $SA_B$ 、 $SA_C$ 、 $SA_D$ …サブセルアレイ A、B、C、D のデータ回路
- $SA_1$ …センスアンプ回路
- $1A$ 、 $1B$ …メモリセルとダミーセル
- $\Phi_P$ 、 $\Phi_N$ …CMOS フリップフロップの活性化信号
- $\Phi_E$ …CMOS フリップフロップのイコライズ信号
- $CSL_1$ …カラム選択信号
- $PR_{A1}$ 、 $PR_{B1}$ …プリチャージ信号
- $V_{A1}$ 、 $V_{B1}$ …プリチャージ電圧
- $SS_1$ 、 $S_A$ 、 $S_B$ …センスアンプとビット線の接続信号
- $VRFY_A$ 、 $VRFY_B$ …ベリファイ信号
- $V_{1A}$ 、 $V_{1B}$ …ベリファイ電圧
- $CG_{1A} \sim CG_{8A}$ …サブセルアレイ A の制御ゲート
- $SG_{1A}$ 、 $SG_{2A}$ …サブセルアレイ A の選択ゲート
- $CG_1 \sim CG_{16}$ …制御ゲート
- $SGD_1$ 、 $SGD_2$ 、 $SG_1$ …ドレイン側選択ゲート
- $SGS_1$ 、 $SGS_2$ 、 $SG_3$ …ソース側選択ゲート
- $VSGD_1$ 、 $VSGD_2$ …ドレイン側選択ゲートの電圧
- $VSGS_1$ 、 $VSGS_2$ …ソース側選択ゲートの電圧
- $VCG_1 \sim VCG_{16}$ …制御ゲートの電圧
- $CG_{1A} \sim CG_{8A}$ …ブロック 1 A 内のページを構成する制御ゲート線
- $BL$ 、 $BL_0 \sim BL_{63}$ …ビット線
- $BL_{02}$ …ダミービット線
- $BL_{0A} \sim BL_{63A}$ …サブセルアレイ A 内のビット線
- $A_0 \sim A_{1023}$ …先頭アドレスから 1024 バイトまでのデータ
- $P_{0A} \sim P_{8191A}$ …サブセルアレイ A 内のロウ (ページ) アドレス
- $C_0 \sim C_{255}$ …サブセルアレイ A 内のカラムアドレス
- $A_{20} \sim A_{43}$ …NAND アドレス
- $A_{44} \sim A_{411}$ …ブロックアドレス

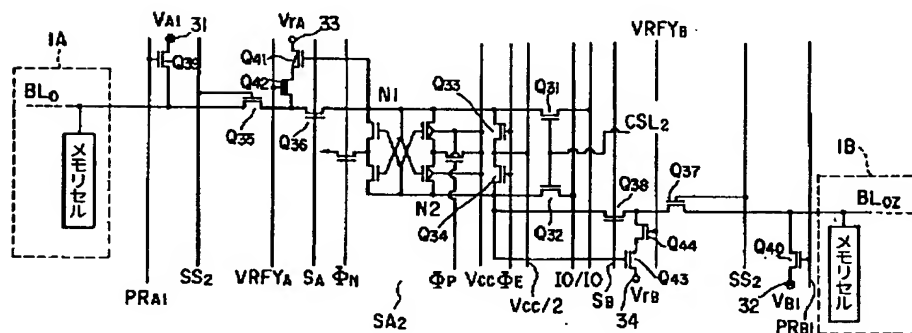
$T_0$ 、 $S_0$ 、 $U_0$  …ロウプリデコーダの出力  
 $Q_{31} \sim Q_{44}$  …トランジスタ  
 $Q_{p1} \sim Q_{p4}$ 、 $Q_{p30}$  …pチャネルトランジスタ  
 $Q_{n1} \sim Q_{n3}$ 、 $Q_{n30}$  …nチャネルトランジスタ  
 $Q_{h21}$ 、 $Q_{h22}$ 、 $Q_{h25}$  等… 耐圧トランジスタ  
 $F$  …ヒューズ

$I_1$ 、 $I_2$  …インバータ  
 $G_1$ 、 $G_2$  …NORゲート  
 $S B_x$  ( $x=A, B, C, D$ ) …サブセルアレイの選択信号  
 $R D E N B B$  …ブロック選択信号  
 $R D E N B D$  …副デコーダ活性化反転信号

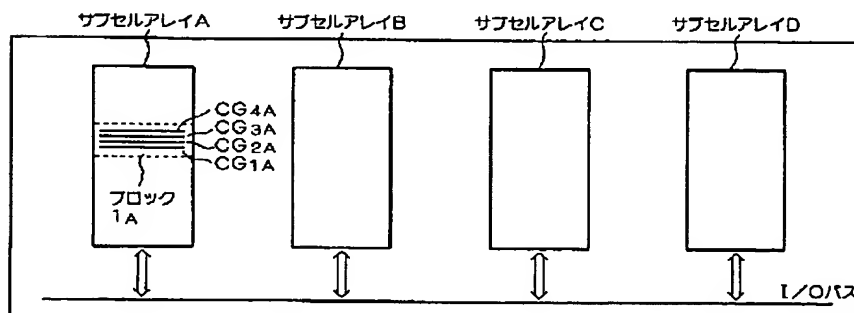
【図1】



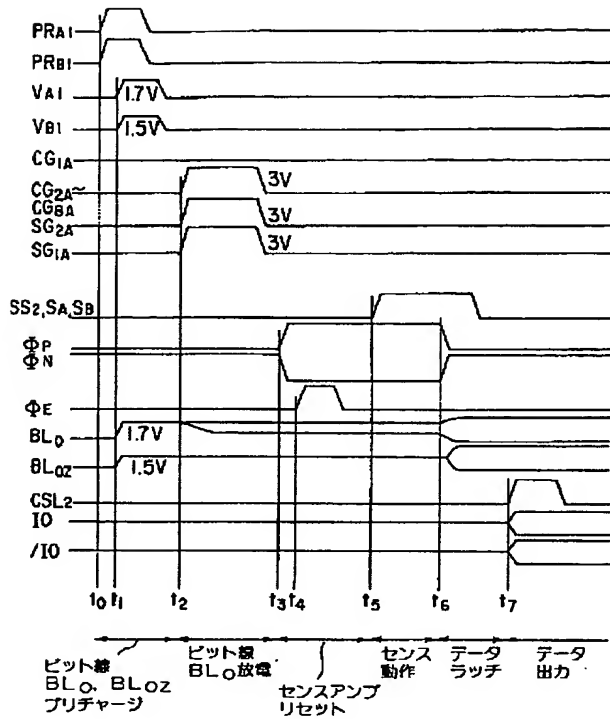
【図2】



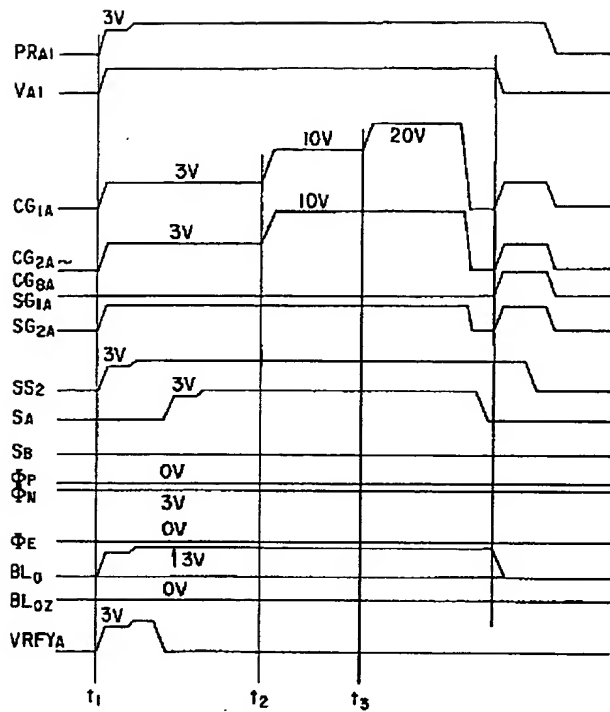
【図9】



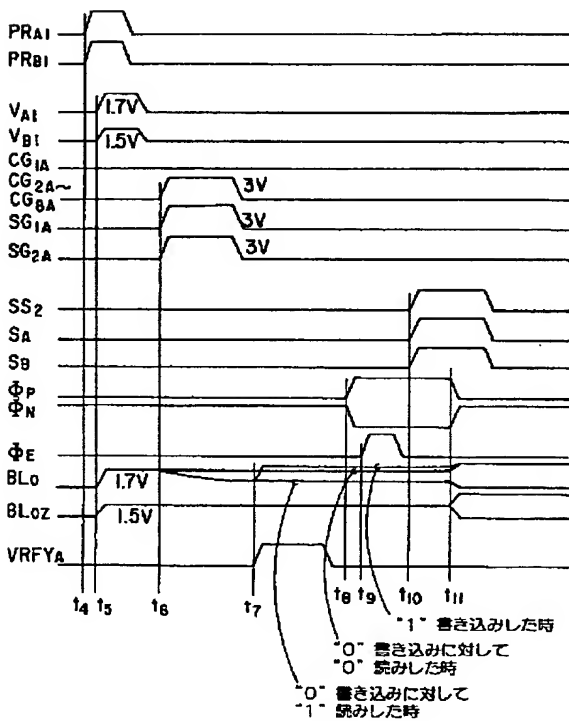
【図 3】



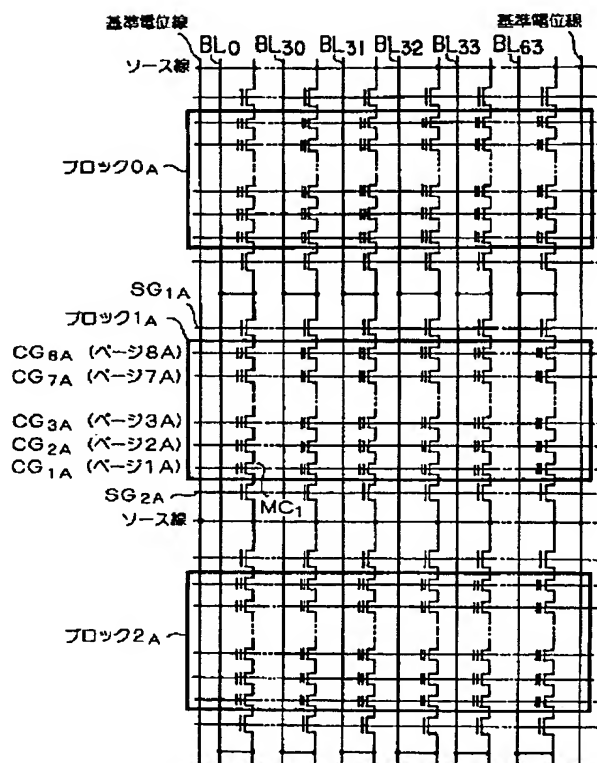
【図 4】



【図 5】

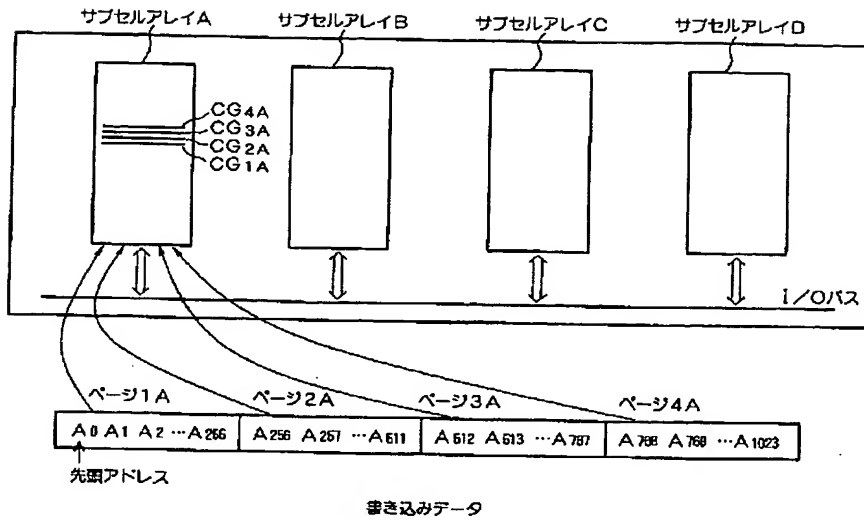


【図 6】

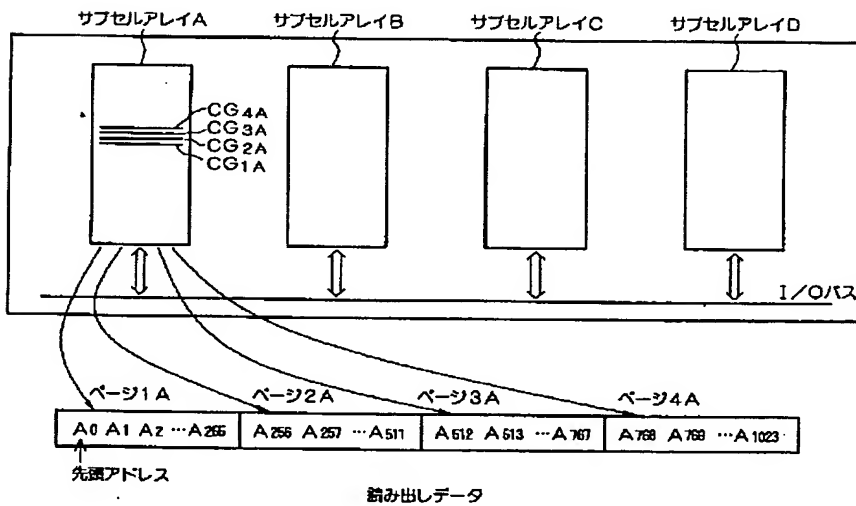




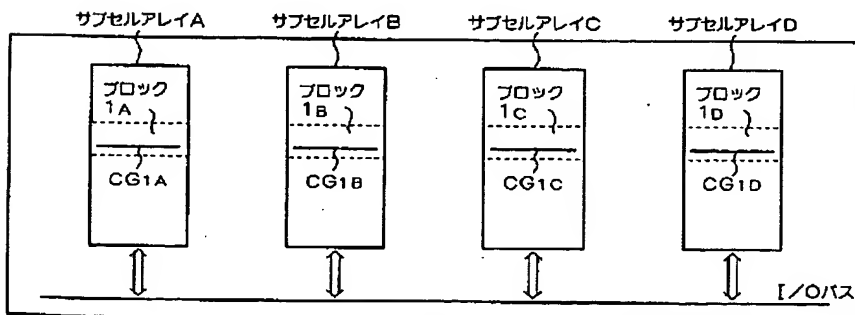
【図 7】



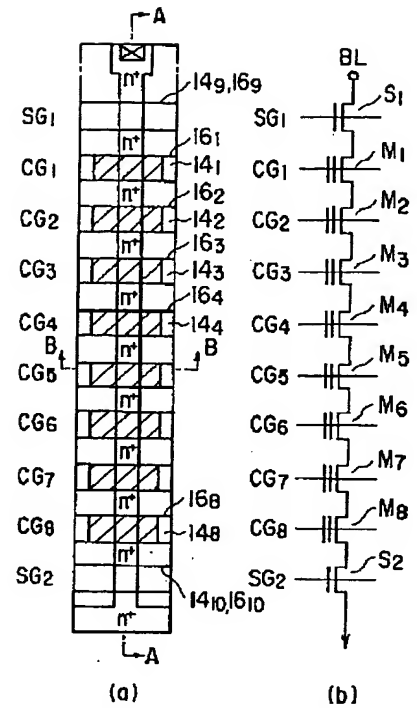
【図 8】



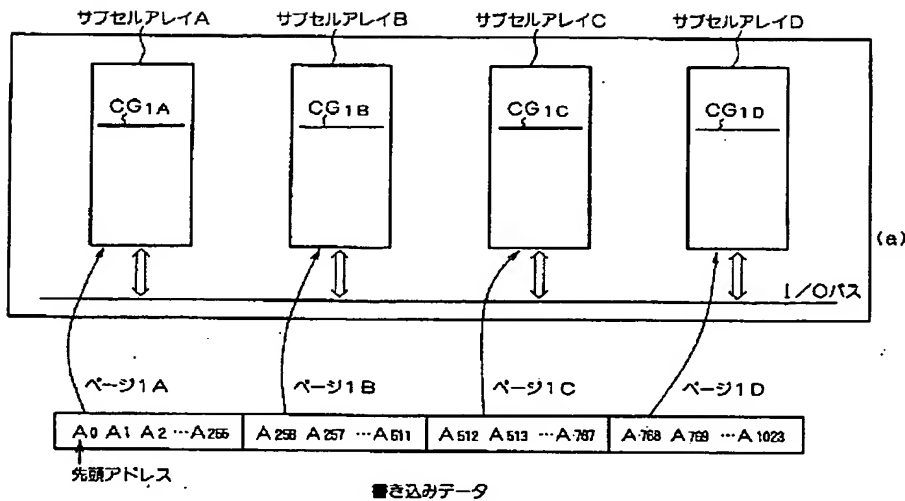
【図 12】



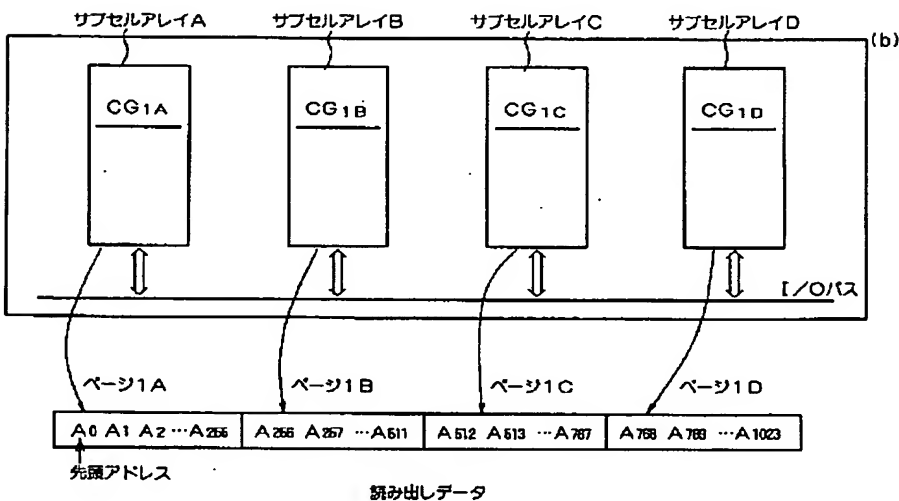
【図 19】



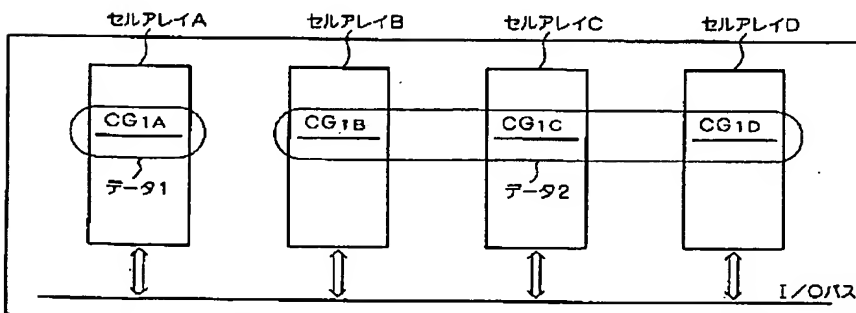
【図 10】



【図 11】



【図 14】



【図 13】

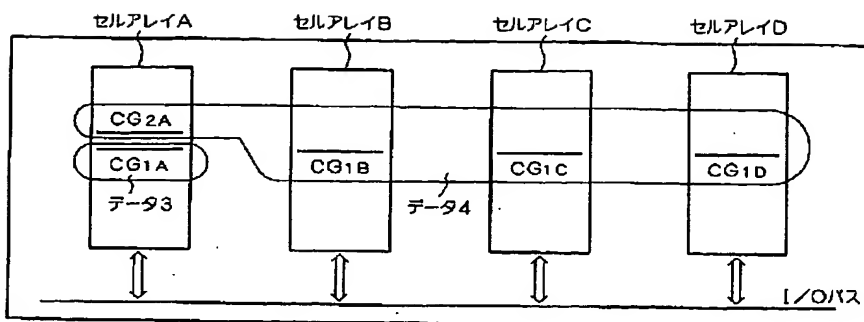
〈ページサイズ: 256バイトの場合〉

ページ1Aのランダムリード  
↓  
ページ1Aのシリアルリード  
↓  
ページ2Aのランダムリード  
↓  
ページ2Aのシリアルリード  
↓  
ページ3Aのランダムリード  
↓  
ページ3Aのシリアルリード  
↓  
ページ4Aのランダムリード  
↓  
ページ4Aのシリアルリード

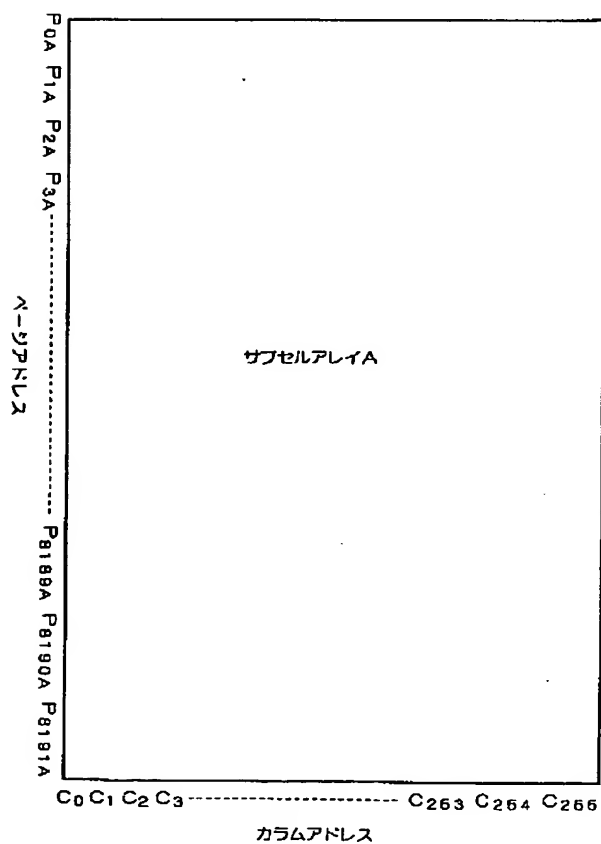
〈ページサイズ: 1024バイトの場合〉

ページ1A, 1B, 1C, 1Dのランダムリード  
↓  
ページ1Aのシリアルリード  
↓  
ページ1Bのシリアルリード  
↓  
ページ1Cのシリアルリード  
↓  
ページ1Dのシリアルリード

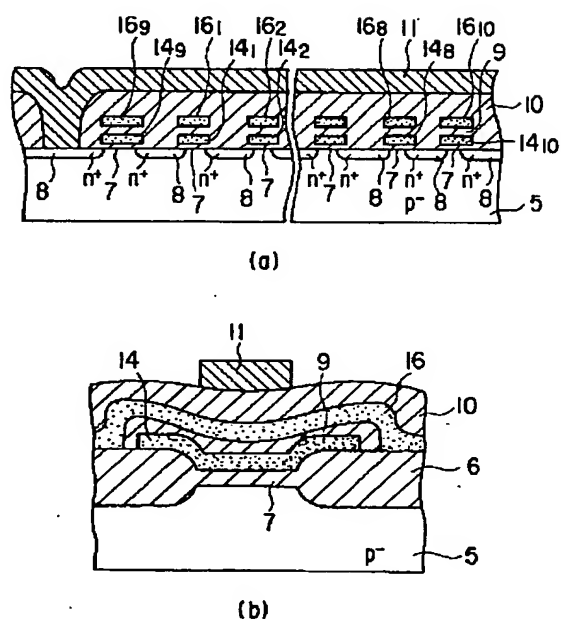
【图 15】



【图 16】



【図 20】

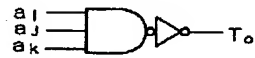


【図 17】

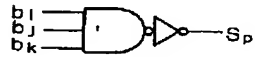
## ロウプリデコーダー

Ad<sub>0</sub>, Ad<sub>1</sub>, Ad<sub>2</sub>, Ad<sub>3</sub> : NANDアドレス, CG<sub>1</sub>~CG<sub>16</sub> を選択  
 Ad<sub>4</sub>~Ad<sub>12</sub> : ブロックアドレス, ブロック0~ブロック511 を選択

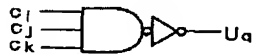
Ad<sub>i</sub> →  $\overline{\text{Ad}}_i$  (i = 4, 5, 6, ..., 10, 11, 12)



a<sub>i</sub>, a<sub>j</sub>, a<sub>k</sub> : Ad<sub>4</sub>, Ad<sub>5</sub>, Ad<sub>6</sub>,  $\overline{\text{Ad}}_4$ ,  $\overline{\text{Ad}}_5$ ,  $\overline{\text{Ad}}_6$ , のいずれか

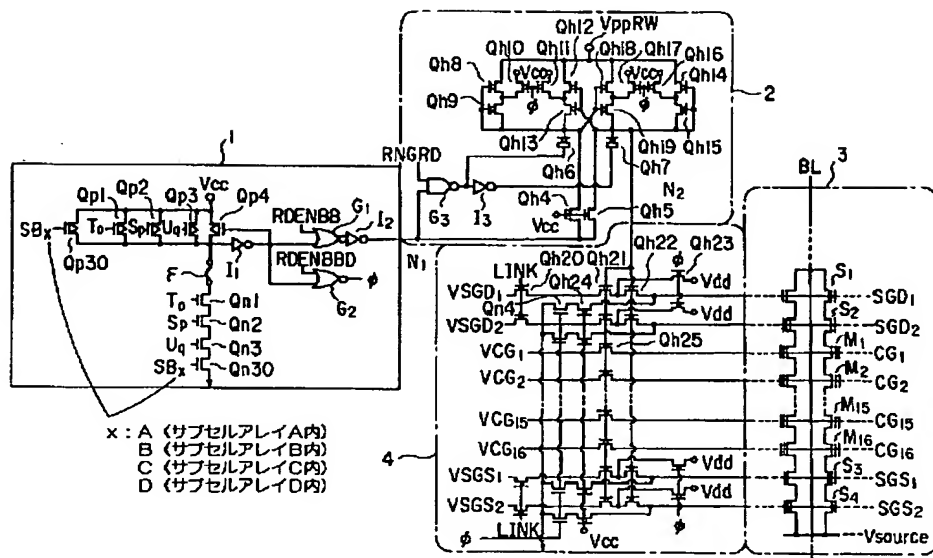


b<sub>i</sub>, b<sub>j</sub>, b<sub>k</sub> : Ad<sub>7</sub>, Ad<sub>8</sub>, Ad<sub>9</sub>,  $\overline{\text{Ad}}_7$ ,  $\overline{\text{Ad}}_8$ ,  $\overline{\text{Ad}}_9$ , のいずれか

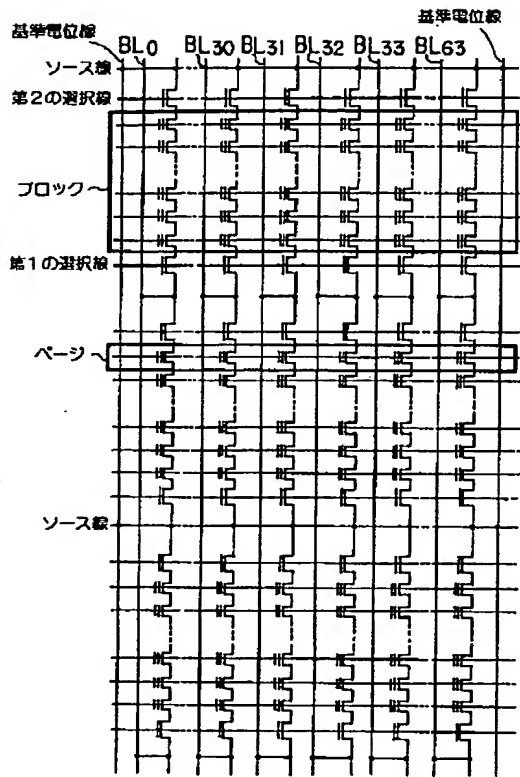


c<sub>i</sub>, c<sub>j</sub>, c<sub>k</sub> : Ad<sub>10</sub>, Ad<sub>11</sub>, Ad<sub>12</sub>,  $\overline{\text{Ad}}_{10}$ ,  $\overline{\text{Ad}}_{11}$ ,  $\overline{\text{Ad}}_{12}$ , のいずれか

【図 18】



【図 21】



【図 22】

